# ЛЕКЦІЯ № 17

**Структура КПДП**

Режим прямого доступу до пам’яті використовується для розвантаження процесора під час обміну масивами даних між ОП та ЗП. Режим ПДП є найбільш швидкісним способом обміну, який реалізується за допомогою спеціальних апаратних засобів - контролерів ПДП без використання програмного забезпечення.

Ініціатором обміну є процесор, котрий виконує ініціалізацію контролеру прямого доступу до пам’яті і запускає його. Надалі два активний пристрої (процесор і КПДП) захоплюють по черзі системну шину, за рахунок чого відбувається паралельна робота цих пристроїв. Спрощена схема включення одноканального КПДП представлена на рис. 6.1.



Рис. 6.1.Схема включення КПДП

КПДП має регістри, які відносяться до адресного простору ЗП. Настройка КПДП може відбуватися в програмному режимі П обробки переривань, тобто вказуються операція (напрям передачі масиву даних), довжина масиву, адреса початку передачі, в деяких системах номер ЗП.

Тобто визначається початкова адреса масиву, кількість слів в масиві і куди пересилати, тип передачі (байт, слово, подвійне слово).

КПДП містить наступні регістри:

РС – регістр стану пристрою;

РД – регістр даних, використовується як буфер даних;

РК – регістр команди;

Л – лічильник;

РА ОП – регістр адреси ОП;

РА ЗП – регістр адреси ЗП.

Цикли ПДП виконуються з послідовно розташованими осередками пам'яті, тому контролер ПДП має лічильник адреси ОЗП. Число циклів ПДП визначається цим лічильником. Управління обміном здійснюється спеціальною логічною схемою, яка формує в залежності від типу обміну пари керуючих сигналів: R, I (цикли читання), W, O (цикли запису). З викладеного випливає, що контролер ПДП на вимогу має брати на себе керування системними шинами і виконувати суміщені цикли читання / виведення або запису / введення до тих пір, поки вміст лічильника циклів ПДП не дорівнюватиме нулю.

Напрям передачі, тип передачі (блок чи байт), біт пуск вводиться в РК; після отримання команди П і КПДП починають на певний час захоплювати СМ незалежно одне від одного. При блочній передачі КПДП захоплює СМ на весь час передачі масиву, в режимі одиночної передачі – на один цикл звернення до ОП і ЗП. В першому випадку П простоює весь час, необхідний для передачі масиву. В другому випадку П і КПДП працюють паралельно. П виконує свою програму (звернення до ОП за командами і даними), а КПДП захоплює цикли на передачу одного слова.



Рис. 6.2 Апаратна реалізація режиму ПДП



Рис. 6.3 Мікроалгоритм вибірки команди

Закончив работу (выборку команды) Пр. выставляет сигнал α=1 и выполнять свою программу.

Синхронизация процессов захвата СМ осуществляется следующим образом:

* ВУ вырабатывает сигнал Требования ПДП;
* КПДП вырабатывает Требования шины (HOLD);
* П захватывает очередной цикл обращения к СМ (только цикл, а не команду конца); (РПДП=1) (α=1);
* При наличии ТШ П формирует сигнал Подтверждения шины, и переводит свои выводы, связанные с СМ в 3-е состояние (высокоомное). П находиться в отключенном состоянии, пока действует сигнал ТШ;
* (для случая передачи одиночных данных из П в ВУ);
* КПДП читает слово из ОП в RD и не отпуская СМ, передает слово из RD во ВУ. При этом сигнал Подтверждения ПДП является активным;
* КПДП останавливает сигнал ТШ и ППДП, т.е. отдает СМ процессору; (α=0);
* Процессор выполняет очередной цикл обращения к СМ.

При блочной передаче сигнал ТШ не снимается до конца передачи блока.

Блочная передача (если есть КПДП) обеспечивает передачу массива быстрее чем П, потому что он является устройством, не требующим считывания команд для передачи данных; управление на аппаратном уровне. Одиночная – выигрыш потому что параллельно работает П и КПДП.

КПДП и П обмениваются двумя сигналами ТПТШ и ПППШ (требование и подтверждение). П проверяет сигнал ТПТШ (от КПДП) после каждого цикла обращения к ОП. Завершив цикл обращения и если есть сигнал ТПТШ он выдает сигнал в КПДП ПППШ и отключается от шины, до тех пор, пока держится сигнал ТПТШ. (Т.е. ОШ захватывает КПДП). КПДП – активное устройство.

После завершения цикла работы с каналом КПДП снимает сигнал ТПТШ, после чего активным устройством становиться процессор и продолжает свою работу до следующего сигнала ТПТШ.

Рассмотрим схему: в БМУ (П) добавлен один разряд α, который показывает, что в данной МК происходит цикл обращения к ОП.

При α=1, КПДП разрешается «захват шины», если α=0 КПДП запрещает захват шины.

Сигнал β (считывается с ТгПД);

Если β=1 процессор отключен от ОШ (т.к. α=1).

Если β=0 - процессор сам захватывает ОШ (α=0).

При α=1 подключается ТгПД, который формирует сигнал β=1 и ППДП. Этим сигналом отключается буфер Pr от СМ, т.е. П от ОШ, этим же сигналом блокируется работа БМУ, сигнал β анализируется вначале каждой команды.

Если в системе несколько КПДП то должен использоваться арбитр (по своим функциям похожий на арбитр INT и так же он может быть централизованным или распределенным).

Один КПДП (микросхема) на 4 ВУ.



Рис. 6.4 Мікроалгоритм вибірки команди

## Розробка алгоритмів взаємодії процесора з основними структурними КПДП

Режим ПДП використовується для розвантаження процесора під час обміну масивами даних між ОП та ЗП.

Алгоритм роботи КПДП наступний:

1) прийняти запит ВПДП від ЗП;

2) сформувати запит ВШ на захоплення шин для ЦП;

3) прийняти сигнал ПШ, що підтверджує цей факт після того, як П увійде у стан захоплення (ШД, ША, ШУ в z-стані);

4) сформувати сигнал ППДП, який повідомляє ЗП про початок виконання циклів ПДП;

5) сформувати на ША адресу комірки пам'яті, призначеної для обміну;

6) виробити сигнали R, I і W, O, що забезпечують управління обміном;

7) після закінчення ПДП або повторити цикл ПДП, змінивши адресу, або припинити ПДП, знявши запити на ПДП.

Блок-схема алгоритму роботи КПДП представлена на рис. 6.5.



Рис. 6.5. Алгоритм роботи з КПДП

Децентрализованный КПДП (распределенный КПДП)

КПДП

ПП ПДП

V

V

В ПДП

ПІДТВ В

ПІДТВ. ПДП

ПІДГ. ПДП

Буф.

П

Vk

V2

V1

Лог.

ПДП

КПП

ДАk

ДА2

ДА1

РА

Р Д

ДА’k

ІНТ.

ЗПk

ІНТ.

ЗП2

РА

Р Д

ДА’2

Р Д

РА

ДА’1

Нарисовать шину

ІНТ.

ЗП1

РАi – распределенный арбитр КПП

РА’i - распределенный арбитр КПДП

ТПДП – требование ПДП

ПОД ПДП – подготовка ПДП

ПП ПДП – подтверждение ПДП

ПВ – подтверждение выборки

В каждом ВУi присутствует схема РАi КПДП для подключения выборочного (например, i-го устройства) к ОП; Происходит «захват шины» ВУi, процессор отключается (сигналом ОЕ ПДП, который вырабатывается сигналом П).

Распределенный арбитр i-й (КПДП)



В каждом ВУ есть свой интерфейс с РС и РД, через который осуществляется пересылка данных. Кроме того, есть БУ ПДП, и специальные регистры:

* СТ- счетчик количества слов в передаваемом массиве
* РНА – режим начального адреса
* РК- регистр команд (передача, направление)
* РР – регистр режима (то ли слово передавать, то ли массив)

Загрузка этих регистров осуществляется в программном режиме процессором (м.б. даже в режиме обработки прерываний).

Синхронизация процесса захвата системной магистрали

1. Внешнее устройство, одного или несколько, которым необходим прямой доступ к ОП выставляют на шину ТПДП свои запросы (шина виртуальное «И»). ТПДП (ТШ) снимается с элемента И1, ТгПДП в этих устройствах устанавливается в единичное состояние.
2. В ответ на сигнал ТПДП (ТШ) процессор, после того, как закончит свой цикл обмена с ОП, выдаст сигнал Под ПДП на соответствующую шину (α=1).
3. По сигналу Под ПДП устанавливается триггер ПВ (Тг2) в единичное состояние во ВУ которое требует «захват шины». Этот триггер настраивает «дсузи-цепочку» в каждом ВУ.
4. Через некоторый промежуток времени П выдаст сигнал ПП ПДП. Сигнал ПП ПДП проходит через i-е ВУ, если устройство не выставило сигнал ТШ, в противном случае, сигнал ПП не проходит дальше, и это устройство «захватывает шину». Т.е. оно наиболее приоритетно, в нем замыкается «дсузи-цепочка».
5. Это происходит следующим образом. На входе элемента &3 появляется единичный сигнал, через Fпв он поступает на шину подтверждения выборки (ПВ), (шина монтажное &). Этим сигналом снимается сигнал ТПДП (ТШ). (через &2)
6. Сигнал ПВ подтверждает «захват шины» на цикл обмена. Т.е. он держится до тех пор, пока ВУi осуществляет пересылку одного слова или массива слов в ОП. В ответ на сигнал ПВ процессор отключается от системной магистрали сигналом ОЕ ПДП; (α=1). ТгПВ сбрасывается сигналом с БУ «сброс ПВ».

ППДП сбрасывает тг. ТгПДП, но он уже не играет роль, т.к. ПВ уже установился, уже зафиксировано подключение этого устройства.